

УДК 681.32

ТЕОРІЯ КОМБІНАЦІЙНИХ КОМПОНЕНТІВ ПРОБЛЕМНО-ОРІЄНТОВАНИХ ПРОЦЕСОРІВ

Б.Б. Круліковський, А.І. Сидор

*Національний університет водного господарства та природокористування; м. Рівне,
вул. Соборна, 11, e-mail: kboris@ukr.net*

Вступ. Вирішення проблеми захисту інформаційних потоків від несанкціонованого доступу у сучасних телекомунікаційних та комп'ютерних мережах ставить нові актуальні задачі розвитку теорії та вдосконалення компонентів високопродуктивних великорозрядних проблемно-орієнтованих спецпроцесорів (ПОС) (1024-2048 біт). При цьому потрібне нове усвідомлення напрямів розвитку теорії, арифметики та архітектури компонентів ПОС на основі повноцінного системного застосування мультиарифметики та схемотехнічної реалізації компонентів мультибазисних процесорів у різних ТЧБ: унітарному, Хаара, Крейга, Радемахера, Грея, Уолша, Крестенсона та Галуа.

В цифрових системах існують два поняття сигналу: фізичний та абстрактний. На рис. 1 позначені продукційні моделі такого класу сигналів.

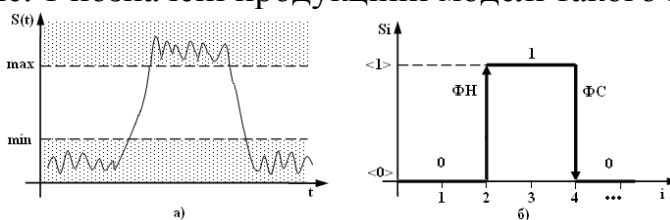


Рисунок 1 - Продукційні моделі фізичного (а) та абстрактного (б) сигналів цифрової техніки

З рис.1 витікає формалізація цього класу сигналів згідно наступних аналітичних виразів

$$S(t) = \begin{cases} 1, S(t) > \max \\ 0, S(t) < \min \end{cases}; \quad S_i = \begin{cases} 1, S_i = < 1 > \\ 0, S_i = < 0 > \\ \uparrow, S_i = < \phi_n > \\ \downarrow, S_i = < \phi_c > \end{cases}$$

де: t та i – відповідно аналоговий та дискретний час; \max / \min – апертура граничних станів аналогового фізичного сигналу; $S_i \in \overline{0,1}$ - цифрові стани абстрактного сигналу нуля та одиниці; \uparrow, \downarrow - відповідно фронти наростання та спаду абстрактного цифрового сигналу.

Таким чином, згідно формалізації абстрактного сигналу витікає, що у цифровій техніці сигнал S_i має чотири значення та ознаки (0,1,↑,↓), тобто по відношенню до фізичного сигналу $S(t)$ він у два рази інформативніший. Отже, всі цифрові перетворення та зміна станів компонентів, операційних пристроїв та мікропрограмних операцій у процесорах відбуваються в жорстко синхронізовані моменти часу $i \in \overline{1,4}$.

Арифметична операція додавання існує практично в усіх алгоритмах опрацювання сигналів та обчислень. Дана операція та компоненти, що її реалізують, є ваговим атрибутом, який суттєво може впливати на продуктивність, апаратну та структурну складність високорозрядних ПОС.

При побудові структурних схем багаторозрядних суматорів, арифметико-логічних пристроїв (АЛП), міжбазисних транскодерів у двійковий код та матричних перемножувачів використовують умовне позначення неповного (НС) та повного (СМ) суматора. Реалізація різних структур НС та СМ виконується на основі відповідних логічних рівнянь:

$$\begin{aligned}
 S_i &= \overline{a_i} \wedge b_i \vee a_i \wedge \overline{b_i}; & S_i &= \overline{P_{i-1}} \wedge \overline{a_i} \wedge b_i \vee \overline{P_{i-1}} \wedge a_i \wedge \overline{b_i} \vee P_{i-1} \wedge \overline{a_i} \wedge \overline{b_i} \vee P_{i-1} \wedge a_i \wedge b_i; \\
 S_i &= \overline{a_i \wedge b_i} \wedge (a_i \vee b_i); & P_{i+1} &= \overline{P_{i-1}} \wedge a_i \wedge b_i \vee P_{i-1} \wedge (a_i \vee b_i); \\
 P_{i+1} &= a_i \wedge b_i; & P_{i+1} &= \overline{P_{i-1}} \wedge a_i \wedge b_i \vee P_{i-1} \wedge \overline{a_i} \wedge b_i \vee P_{i-1} \wedge a_i \wedge \overline{b_i} \vee P_{i-1} \wedge a_i \wedge b_i; \\
 P_{i+1} &= \overline{a_i} \wedge \overline{b_i} \vee a_i \wedge \overline{b_i} \vee \overline{a_i} \wedge b_i; & \overline{P_{i+1}} &= \overline{P_{i-1}} \wedge (\overline{a_i} \vee \overline{b_i}) \vee P_{i-1} \wedge \overline{a_i} \vee \overline{b_i}; \\
 P_{i+1} &= \overline{a_i \wedge b_i}. & \overline{S_i} &= \overline{P_{i-1}} \wedge \overline{a_i} \wedge \overline{b_i} \vee \overline{P_{i-1}} \wedge \overline{a_i} \wedge b_i \vee \overline{P_{i-1}} \wedge a_i \wedge \overline{b_i} \vee P_{i-1} \wedge \overline{a_i} \wedge \overline{b_i}.
 \end{aligned}$$

За результатами розрахунку апаратної, часової та структурної складності досліджених схемотехнічних рішень згідно приведених та трансформованих логічних рівнянь суматорів побудовані відповідні діаграми (рис. 2).

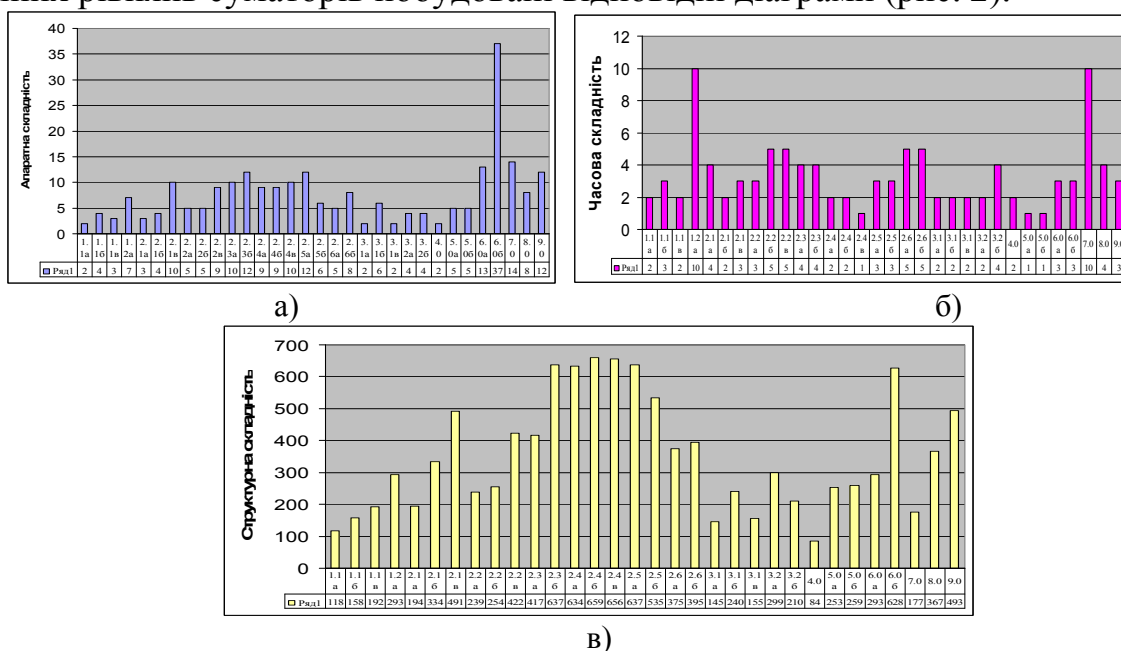


Рисунок 2 - Діаграми розрахунку апаратної (а), часової (б) та структурної (в) складності досліджуваних схемотехнічних рішень суматорів

Висновок. Аналіз отриманих системних характеристик широкоживаних схемотехнічних рішень НС та СМ показує, що мінімальними характеристиками апаратної, часової та структурної складності характеризуються схеми суматорів № 2.4в, 4.0, 5.0а, на основі інверторів та логічного елемента «провідне або».

Літературні джерела

1 Круліковський Б.Б. Системні характеристики компонентів багаторозрядних процесорів шифрування даних / Б.Б. Круліковський, А.Я Давлетова, В.Л. Кімак / Збірник матеріалів міжнародної наукової координаційної наради ICSM-2014-Тернопіль, 2014.-105-107с.